

# 双CMOS成像器同步影像传感系统设计

林琳, 王向军

(天津大学微光机电系统技术教育部重点实验室, 天津 300072)

**摘要:** 为了满足双目立体视觉以及多通道视频成像等应用场合对微型化的需求, 提出了一种双CMOS成像器同步影像传感系统的设计方法。系统同步获取两个通道的CMOS图像并通过一路视频接口以相同帧率输出影像。系统以CPLD为核心器件, 采用乒乓操作实现了对双通道视频数据的存储与传输, 并对相应通道的图像以奇数帧和偶数帧的方式输出。CMOS成像器的配置以及数据传输采用模块化的结构设计, 使系统的稳定性和灵活性大大提高。实验表明, 系统具有良好的显示效果。

**关键词:** CPLD; CMOS; 同步影像; 乒乓操作

**中图分类号:** TN36 **文献标识码:** A **文章编号:** 1001-5868(2014)03-0519-04

## Design of Dual-CMOS Imager Synchronization Sensing System

LIN Lin, WANG Xiangjun

(MOEMS Education Ministry Key Lab., Tianjin University, Tianjin 300072, CHN)

**Abstract:** In order to meet the requirement of miniaturization in applications of binocular stereo vision and multiple-channel video imaging, a design method of dual-CMOS sensor image synchronization sensing system is proposed. The system acquires the images from two channels of CMOS synchronously, and then outputs images through a video interface. The system is designed based on CPLD, which realizes the transmission and storage of the two-channel video data by outputting in the odd frame and the even frame sequentially staggered manner. The application of the modular structure design in configuration of the CMOS sensors and data transmission, highly improves the stability and the flexibility of the system. Experiments verify good effect of display of the new system.

**Key words:** CPLD; CMOS; image synchronization; ping-pong operation

## 0 引言

随着数字图像处理技术的发展, 视频处理技术已经在社会各个领域广泛应用。在双目视觉测量、三维成像以及多通道视频监控等应用中, 多角度多方位同时拍摄测量目标很关键<sup>[1]</sup>, 单通道数据传输已经无法满足设计要求, 必须采用多通道的传输方式和新的设计方法来实现图像传输和存储功能<sup>[2]</sup>。

传统的PC式系统控制方式难以满足系统的微

小型化的需求。基于CPLD/FPGA的可编程ASIC器件的数字图像系统因其小型化、速度快的特点得到了迅速发展。CPLD器件相比同类FPGA器件具有更高的I/O密度以及更简单的可预测时序<sup>[3]</sup>, 并且掉电数据不丢失, 简化了外围电路。

近年来, 由于CMOS成像器小型化、功耗低、性价比高的特点, 已经广泛应用于工业领域<sup>[4]</sup>。本文设计了一种以CPLD器件为核心的双通道CMOS同步影像传感系统, 将乒乓操作技术应用于图像传输和存储过程中<sup>[5]</sup>, 实现将两个通道的图像数据编码并通过一路视频接口输出, 大大提高了整个系统

收稿日期: 2013-09-26.

基金项目: 教育部支持项目(625010110).

的图像采集速度和实时性能。

### 1 系统组成与工作原理

系统设计的主要目的是对两个通道的视频进行快速图像采集和存储,并输出给后级的图像处理系统进行数据处理。系统主要由四部分组成:CMOS 图像传感器、CPLD 器件、SRAM 存储器和 DAC 接口,其整体结构如图 1 所示。

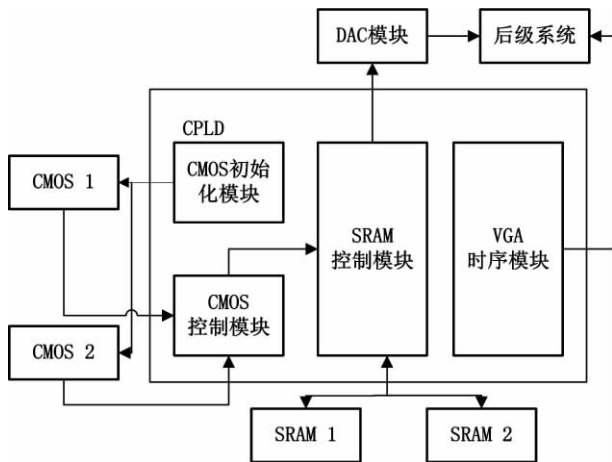


图 1 系统结构框图

该系统工作原理为:

- (1) 系统上电启动后,初始化模块分别对 CMOS1 和 CMOS2 的寄存器进行配置;
- (2) CMOS 控制模块产生同步信号控制 CMOS1 和 CMOS2 并开始接收图像数据,分别存储在 SRAM1 和 SRAM2 中;
- (3) VGA 时序模块产生时序信号并从 SRAM 中读取图像数据并经过 DAC 转换电路后输出。

系统硬件设计外观如图 2,图示位置为 CMOS 成像器,系统外径尺寸为 38 mm。

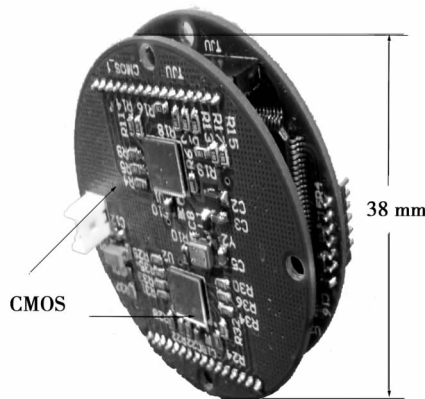


图 2 系统硬件外观尺寸图

### 2 CMOS 数据传输与存储

#### 2.1 CMOS 成像器模块

本系统选用了 OV7725 数字图像传感器,帧率为 60 f/s,输出格式为 RGB565,通过 SCCB 总线对其内部寄存配置可以实现对色彩对比度、增益、数据格式等参数的调整。

SCCB 总线采用双线传输,CPLD 与 CMOS 分别为主器件和从器件,主器件控制时钟信号并对从器件进行读写操作,完整的一个寄存器配置过程包括 27 个时钟周期,可分为 3 步,如图 3 所示。

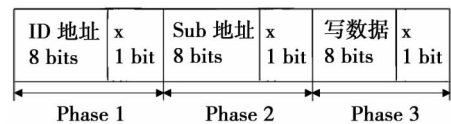


图 3 SCCB 协议图

在 Phase 1 中,CPLD 指定 CMOS 的操作地址;Phase 2 指定操作的寄存器位址;Phase 3 写入一个字节数据。CMOS 将数据线第 9 位的应答位拉低返回给 CPLD,表示发送成功。

#### 2.2 SRAM 时序控制模块

SRAM 用于缓存来自 CMOS 的单帧图像,数据写入时序由 CMOS 时钟控制,读时序由 VGA 时钟控制,VGA 的刷新率为 60 Hz,与 CMOS 的输出帧率一致,保证了操作时序的稳定。

##### 2.2.1 图像存储时序设计

为了实现 SRAM 数据存储与 CMOS 图像输出的同步,将 CMOS 成像器输出的场同步信号 VSYNC 作为 SRAM 片选信号,行同步信号 HREF 作为写使能信号,像素时钟 PCLK 作为写信号,时序关系如图 4 所示。

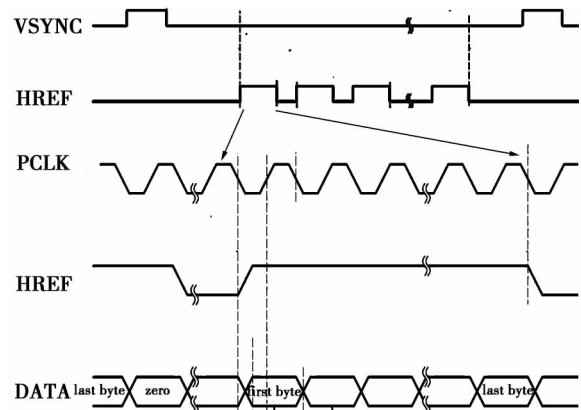


图 4 CMOS 输出时序图

当VSYNC出现下降沿时开始存储新一帧图像的数据,片选SRAM并将地址线置零,在HREF上升沿时开始一行的数据采集,每个PCLK时钟周期传输一个字节数据,并将SRAM地址加1,两个周期完成一个像素的存储。图像采集流程图如图5所示。

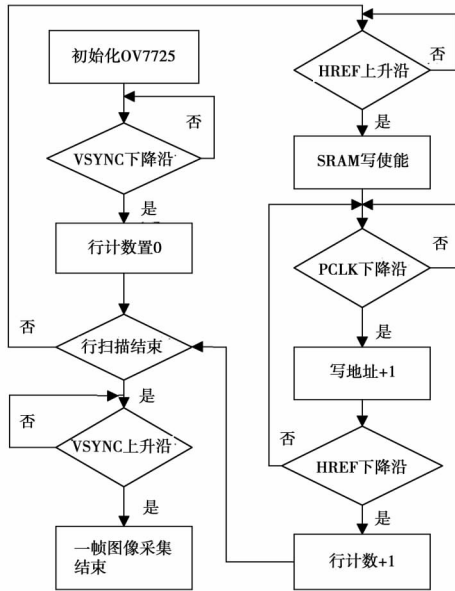


图5 数据采集流程图

### 2.2.2 图像输出时序设计

系统时钟为50MHz,将其二分频后25MHz作为VGA时钟,因此,每个VGA同步时钟内连续更新两次地址,将SRAM输出的16位RGB565数据分离为3个通道的RGB数据,通过VGA接口输出。VGA消隐信号期间,操作地址不更新,SRAM停止数据读取。

### 2.3 同步影像控制模块

为了实现一路VGA视频接口有序输出双通道的视频数据,系统采用了乒乓操作的方式,以奇数帧和偶数帧的方式依次输出双通道数据,如图6所示。

乒乓操作是一种用于数据流控制的处理技巧,常用于流水线式算法。它通过输入控制器和输出控制器的相互配合,将经过缓存的数据没有时间停顿地输出到外部接口。

控制器的处理流程如下:

(1)在第1个缓冲周期,将输入的CMOS1数据流缓存到SRAM1;

(2)在第2个缓冲周期,(图6状态2所示)通过输入控制器的切换,将输入的CMOS2数据流缓存到SRAM2,同时,将SRAM1的第1个周期的数

据通过输出控制器的选择,输出到VGA显示接口。

(3)在第3个缓冲周期,(图6状态1所示)将输入的CMOS1数据流缓存到SRAM1,同时,将SRAM2的数据输出到VGA显示接口

(4)切换数据的进入与输出顺序,状态1与状态2轮流交替。

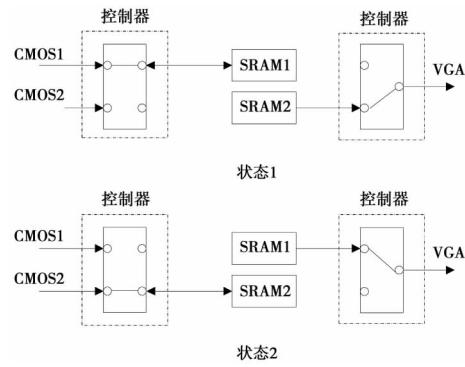


图6 乒乓操作的实现

系统工作状态机设计如图7所示,当CPLD上电并完成CMOS的配置之后,乒乓操作控制器开始工作,CMOS1以及CMOS2的视频图像轮流通过VGA接口输出。

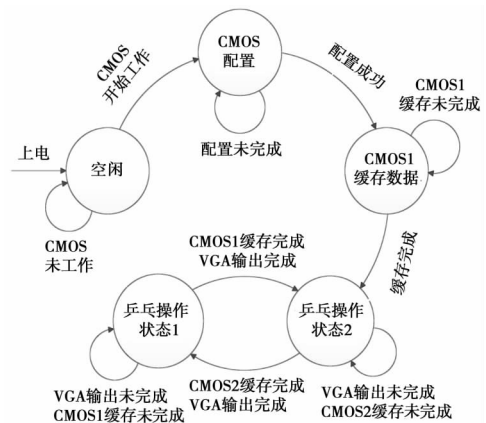


图7 系统工作状态机

## 3 系统仿真与测试

本设计中采用Modelsim仿真工具,编写Testbench文件对系统进行仿真分析,采用vec矢量文件保存CMOS的输出数据以及SRAM的存储数据,关键信号的波形分析如下。

### 3.1 SCCB通信传输测试

CPLD与CMOS的SCCB通信仿真波形如图8所示,系统实现软件复位后,读取寄存器配置数据并开始SCCB数据通信。当时钟线sck置高时数据线sda写入数据,写完8位数据后,第9个时钟,CPLD

的 I/O 口置为输入态等待 CMOS 拉低数据线。当响应完成后数据线恢复,一个字节的 SCCB 通信完成。

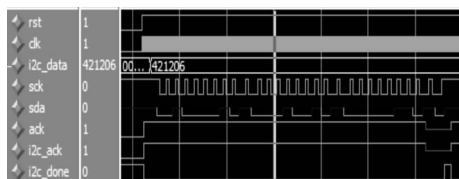


图 8 SCCB 寄存器配置时序图

### 3.2 SRAM 操作时序仿真

SRAM 写操作时序如图 9 所示,pcclk 下降沿更新地址线并将写信号 we\_拉低,数据锁存后并拉高 we\_,完成一个字节数据写入。每行数据写入完成后进行一次地址校验,避免造成数据错位。

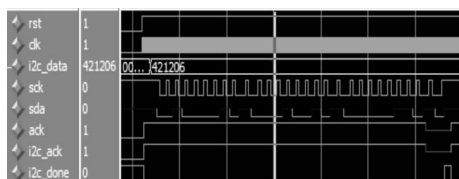


图 9 SRAM 写操作时序图

SRAM 读操作时序如图 10 所示,当地址线 addr 更新时数据线 sram\_data 数据更新,每个 VGA 周期 RGB\_clk 读出一个像素的 RGB 数据。

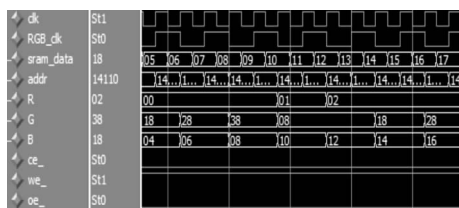
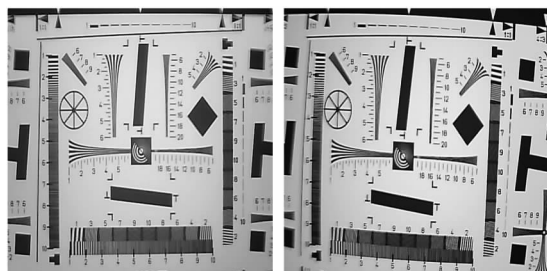


图 10 SRAM 读操作时序图

### 3.3 双 CMOS 同步影像测试

系统上电并对测试卡进行拍摄,CMOS1 和 CMOS2 两个通道输出图像如图 11 所示。



测试图1 测试图2  
图 11 CMOS 成像器通道

图像输出稳定清晰,条纹显示无错位以及失真,很好地实现了对双路视频的同步影像输出功能。

## 4 结论

本文详细介绍了一种双 CMOS 成像器同步影像传感系统,通过乒乓操作技术以流水线的方式实现了对图像的采集、存储以及显示。SRAM 的读写在不同时钟域下实现,保证了图像的存储与显示的时序,基于 CPLD 的系统设计简化了系统电路并满足了对图像高速处理的需求。

### 参考文献:

- [1] 单宝堂,沈庭芝,王廷豪.多传感器图像采集处理系统的设计与实现[J].传感技术学报,2009,22(2):235-239.
- [2] 孙春风,袁峰,丁振良.基于 FPGA 的多通道高速 CMOS 图像采集系统[J].计算机工程与应用,2008,44(21):46-48.
- [3] 温长泽.基于 CPLD/FPGA 技术的数字系统设计研究[J].创新技术导报,2013(6):25.
- [4] Chen Lei,Liu Ying ,Li Xingguang, et al. The design of image acquisition system based on CMOS digital image sensor [C]//Proc. Intelligent Information Technol. Application, 2009; 655-657.
- [5] 汤武当,黎福海.基于 FPGA 的双通道 CMOS 图像采集系统设计[J].传感器与微系统,2010,29(11):120-122.

### 作者简介:

林琳(1989-),男,福建莆田人,硕士研究生,主要从事光电探测与传感技术的研究。

E-mail: linlinok@tju.edu.com

欢迎向

《半导体光电》

投稿

http://www.semiopto.net